

SIGNAL CHANGEOVER CIRCUIT

Patent Number: JP4326617
Publication date: 1992-11-16
Inventor(s): YAKABE MASAYUKI
Applicant(s): NEC IC MICROCOMPUT SYST LTD
Requested Patent: JP4326617
Application Number: JP19910096500 19910426
Priority Number(s):
IPC Classification: H03K17/00
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent malfunction in the case of selecting a data signal by using two signal switching control signals.

CONSTITUTION: Data signals D1, D2 are inverted by inverters 1, 2 and inputted to relevant transfer gates 3, 4. On the other hand, signal switching control signals S1, S2 are both inputted to a NOR circuit 5 and its output signal (a) is inputted to an EXNOR circuit 7 and an EXOR circuit 8. Moreover, the signal switching control signal S2 is inverted by an inverter 6 and its output signal (b) is similarly inputted to the EXNOR circuit 7 and an EXOR circuit 8. Output signals A, B of the EXNOR circuit 7 and the EXOR circuit 8 are inputted to the transfer gates 3, 4 and the selection changeover is implemented to the input data signals D1, D2.

Data supplied from the **esp@cenet** database - I2

Japanese Patent Laid-Open No. HEI 4-326617.

[0002]

[Prior Art]

When a conventional signal switching circuit of this kind designs large-scale integrated circuits (LSIs) by employing a gate array method and a standard cell method, it is previously prepared as a functional block. As shown in Fig. 3, signal switching is performed by a switching circuit, which is made up of inverters 10 to 13 and 16, and transistor gates 14 and 15, in dependence on input data signals D1 and D2.

[0003]

In Fig. 3(a), in dependence on input of signal-switching control signals S1 and S2, the inverted signals of the signal-switching control signals S1 and S2 are input to transistor gates 14 and 15, respectively formed from a pair of PMOS and NMOS transistors, through inverters 12 and 13. Input data signals D1 and D2 are input to the corresponding transistor gates 14 and 15 via inverters 10 and 11. One of the two input data signals is selected and output through the inverter 16. In this case, a truth table for an output signal OUT corresponding to input of the signal-switching control signals S1 and S2 is shown in Fig. 3(b). That is, when $S1 = 1$ and $S2 = 0$, the input data signal D1 is selected and output. When $S1 = 0$ and $S2 = 1$, the input data signal D2 is selected and output.

b)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-326617

(43) 公開日 平成4年(1992)11月16日

(51) Int.Cl.⁵

H 0 3 K 17/00

識別記号

庁内整理番号

F 9184-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 4 頁)

(21) 出願番号 特願平3-96500

(22) 出願日 平成3年(1991)4月26日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会
社

神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 矢▲ケ▼部 正行

神奈川県川崎市中原区小杉町一丁目403番
53日本電気アイシーマイコンシステム株式
会社内

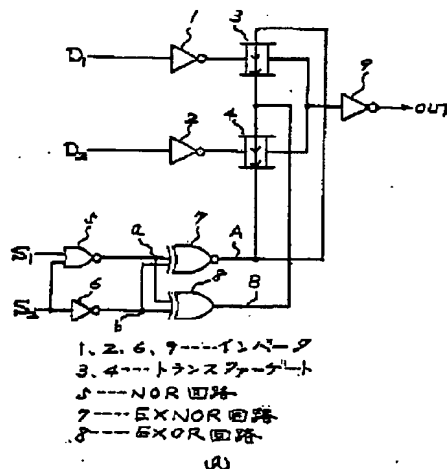
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 信号切替回路

(57) 【要約】

【目的】 二つの信号切替制御信号を用いて、データ信号を選択する場合の誤動作を防止する。

【構成】 データ信号D₁ およびD₂ は、それぞれインバータ1および2を経由して反転され、対応するトランスファークロップ3および4に入力される。他方、信号切替制御信号S₁ およびS₂ は共にNOR回路5に入力され、その出力信号aは、EXNOR回路7およびEXOR回路8に入力され、また、信号切替制御信号S₂ はインバータ6により反転されて、その出力信号bは、同様にEXNOR回路7およびEXOR回路8に入力される。EXNOR回路7およびEXOR回路8の出力信号AおよびBは、トランスファークロップ3ならびに4に入力され、入力データ信号D₁ およびD₂ に対する選択切替作用が行われる。



S ₁	S ₂	OUT
1	0	D ₁
0	1	D ₂

(b)

【特許請求の範囲】

【請求項1】 二つの信号切替制御信号を用いて、二つのデータ信号を切替え選択して出力する信号切替回路において、所定の切替信号を受けて、前記二つのデータ信号の何れか一方のデータ信号を選択して出力する信号選択回路と、前記二つのデータ信号の切替えに当り、同時にレベル変更することのない前記二つの信号切替制御信号を受けて、前記切替信号を生成して出力するデータ選択論理回路と、を備えることを特徴とする信号切替回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は信号切替回路に関し、特に、LSIのゲートアレイおよびスタンダードセル方式等において用いられる信号切替回路に関する。

【0002】

【従来の技術】 従来の、この種の信号切替回路は、LSIをゲートアレイ方式およびスタンダードセル方式を用いて設計する場合、機能ブロックとして予め用意されており、これによる信号切替は、図3(a)に示されるように、入力データ信号D₁およびD₂に対応して、インバータ10~13および16と、トランスファークロップ14および15により構成される切替回路を介して行われる。

【0003】 図3(a)において、信号切替制御信号S₁およびS₂の入力に対応して、インバータ12および13を介して、信号切替制御信号S₁およびS₂の反転信号が、それぞれ一対のPMOSトランジスタとNMOSトランジスタにより形成されるトランスファークロップ14ならびに15に入力され、入力データ信号D₁およびD₂は、それぞれインバータ10および11を経由して、対応するトランスファークロップ14および15に入力されて、その内の一方の入力データ信号が選択されて、インバータ16を介して出力される。この場合における、信号切替制御信号S₁およびS₂の入力に対応する出力データ信号OUTの真理値表が図3(b)に示されている。即ち、S₁ = "1"、S₂ = "0"の場合には、入力データ信号D₁が選択されて出力され、S₁ = "0"、S₂ = "1"の場合には、入力データ信号D₂が選択されて出力される。

【0004】

【発明が解決しようとする課題】 上述した従来の信号切替回路は、LSIをゲートアレイ方式およびスタンダードセル方式の何れにおいて用いられる場合においても、機能ブロックとして予め用意されており、入力データ信号に対する切替処理としては、二つの入力データ信号に対応する形で切替処理が行われているため、これらの二つの入力データ信号としては、全く同時にレベル変化する必要があるが、LSI内部におけるどの部分に配置されるかによっては、LSI外部からLSI内部に入力さ

れるデータ信号間に、当該信号切替回路に到達するまでの間において伝播経路差による位相差が生じ、信号切替作用に誤動作が発生するという欠点がある。

【0005】

【課題を解決するための手段】 本発明の信号切替回路は、二つの信号切替制御信号を用いて、二つのデータ信号を切替え選択して出力する信号切替回路において、所定の切替信号を受けて、前記二つのデータ信号の何れか一方のデータ信号を選択して出力する信号選択回路と、前記二つのデータ信号の切替えに当り、同時にレベル変更することのない前記二つの信号切替制御信号を受けて、前記切替信号を生成して出力するデータ選択論理回路と、を備えて構成される。

【0006】

【実施例】 次に、本発明について図面を参照して説明する。

【0007】 図1(a)は本発明の一実施例を示すブロック図である。図1に示されるように、本実施例は、入力データ信号D₁およびD₂と、信号切替制御信号S₁およびS₂の入力に対応して、インバータ1、2、6および9と、トランスファークロップ3および4と、NOR回路5と、EXNOR回路7およびEXOR回路8とを備えて構成される。また、図1(b)に示されるのは、入力データ信号D₁およびD₂に対して、信号切替制御信号S₁およびS₂の入力に対応する選択出力されるデータ信号OUTを示す真理値表であり、図2(a)、(b)、(c)、(d)、(e)および(f)は、各主要信号を示すタイミングチャートである。

【0008】 図1(a)において、切替対象の入力データ信号D₁およびD₂は、それぞれインバータ1および2を経由して反転され、それぞれ対応するトランスファークロップ3および4に入力される。他方、信号切替制御信号S₁およびS₂は共にNOR回路5に入力されて、その出力信号aは、EXNOR回路7およびEXOR回路8に入力され、また、信号切替制御信号S₂はインバータ6により反転されて、その出力信号bは、同様にEXNOR回路7およびEXOR回路8に入力される。EXNOR回路7およびEXOR回路8の出力信号AおよびBは、トランスファークロップ3ならびに4に入力され、入力データ信号D₁およびD₂に対する選択切替作用が行われる。この場合におけるトランスファークロップ3および4における選択切替作用としては、EXNOR回路7の出力信号Aが"0"で、EXOR回路8の出力信号Bが"1"の時には、トランスファークロップ3が通過状態となって、入力データ信号D₁が選択されて出力され、インバータ9を介して出力データ信号OUTとして出力される。また、EXNOR回路7の出力信号Aが"1"でEXOR回路8の出力信号Bが"0"の時には、トランスファークロップ4が通過状態となって、入力データ信号D₂が選択されて、インバータ9を介して出力デ

3

ータ信号OUTとして出力される。この場合における入力データ信号選択に関する真理値表は、前述のように図1(b)に示される。

【0009】上記の入力データ信号D₁ およびD₂ の選択切替にかかわる主要信号のタイミングチャートは、前述のように、図2(a)、(b)、(c)、(d)、

(e) および(f) に示されるとおりであるが、それぞれ信号切替制御信号S₁、S₂、NOR回路5の出力信号a、インバータ6の出力信号b、EXNOR回路7の出力信号AおよびEXOR回路8の出力信号Bのタイミ
10

ングチャートを示している。このタイミングチャートにおいて、信号切替制御信号S₁ およびS₂ として切替制御作用に関与してとり得る状態、即ち入力データ信号D₁ およびD₂ がそれぞれ選択されて出力されるタイミングは、上記の真理値表からも明らかなように、データ信号D₁ についてはT₃ のタイミングであり、データ信号D₂ については、T₁、T₂ およびT₄ のタイミングである。例えば、タイミングT₁ において、入力データ信号D₂ が選択されている状態より、入力データ信号D₁ を選択する状態に移行する場合には、図2(a)、
20

(b)、(c)、(d)、(e) および(f) において、信号切替制御信号S₁ およびS₂ のレベルを同時に変更することなしに、先ず信号切替制御信号S₁ のレベルのみをタイミングT₃ において“1”に変化させ、次いで、信号切替制御信号S₂ のレベルをタイミングT₃ において“0”に変化させて、タイミングT₃ においてD₁ を選択するように操作することにより、二つの信号切替制御信号S₁ およびS₂ のレベルを同時に変化させることを避けている。また、タイミングT₃ において、
30

ータ信号D₂ を選択する状態に移行する場合には、信号切替制御信号S₁ およびS₂ のレベルを同時に変更することなしに、信号切替制御信号S₂ のレベルを“0”レベルに保持したままの状態、信号切替制御信号S₁ のレベルを“0”レベルに変化させて、タイミングT₁ においてデータ信号D₂ を選択している。

【0010】即ち、二つの信号切替制御信号S₁ およびS₂ のレベル切替を同時に行わないために、データ信号D₁ およびD₂ の切替に伴う誤動作は排除される。

【0011】

【発明の効果】以上説明したように、本発明は、データ信号切替用の二つの信号切替制御信号を、同時にレベル変化することなしに作用させることにより、データ信号切替に伴う誤動作を未然に防止することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図、およびこの実施例におけるデータ信号切替の真理値表を示す図である。

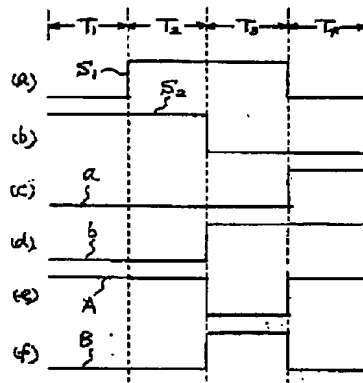
【図2】本実施例における信号のタイミングチャートを示す図である。

【図3】従来例を示すブロック図、および従来例におけるデータ信号切替の真理値表を示す図である。

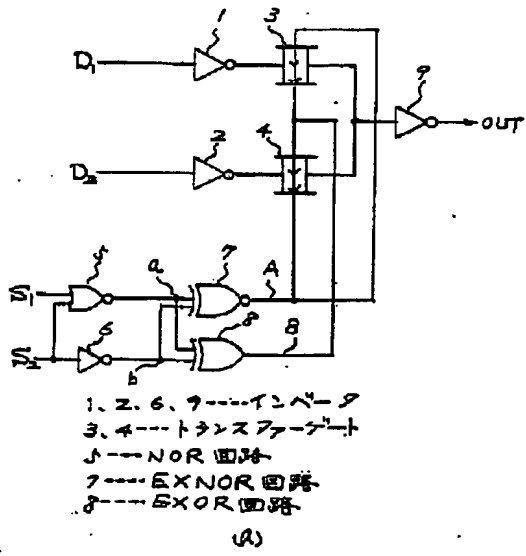
【符号の説明】

- 1、2、6、9、10～13、16 インバータ
- 3、4、14、15 トランスファークロ
- 5 NOR回路
- 7 EXNOR回路
- 8 EXOR回路

【図2】



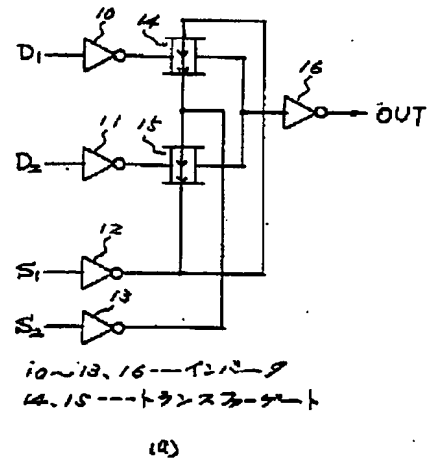
【図1】



S ₁	S ₂	OUT
1	0	D ₁
0	1	D ₂

(b)

【図3】



S ₁	S ₂	OUT
1	0	D ₁
0	1	D ₂

(b)